UNIVERSIDADE FEDERAL DA BAHIA
PRÓ-REITORIA DE ENSINO DE GRADUAÇÃO
SUPERINTENDÊNCIA DE ADM. ACADÊMICA

# PROGRAMA DO COMPONENTE CURRICULAR

## DADOS DE IDENTIFICAÇÃO E ATRIBUTOS

| CÓDIGO | NOME | DEPARTAMENTO OU EQUIVALENTE |
|---|---|---|
| ENGG57 | LABORATÓRIO INTEGRADO IV-A | DEEC |

### CARGA HORÁRIA (estudante)

| T | T/P | P | PP | Ext | E | TOTAL |
|---|---|---|---|---|---|---|
| | | 30 | | | | 30 |

### MODALIDADE/ SUBMODALIDADE

Disciplina

### PRÉ-REQUISITO (POR CURSO)

186 - ENGG54, ENGG56, MATA59

### CARGA HORÁRIA (docente/turma)

| T | T/P | P | P P | Ext | E | TOTAL |
|---|---|---|---|---|---|---|
| | | 30 | | | | |

### MÓDULO

| T | T/P | P | P P | Ext | E |
|---|---|---|---|---|---|
| | | 12 | | | |

### SEMESTRE DE INÍCIO DA VIGÊNCIA

2025-2

## EMENTA

Concepção integrada de Hardware e Software. Integração dos conceitos das disciplinas: Redes de Computadores e Projetos de Circuitos Integrados Digitais. Utilização de técnicas de representação gráfica para projeto de Sistemas Computacionais.

## OBJETIVOS

Objetivos Gerais

Aperfeiçoar o(a) estudante de Engenharia de Computação na análise, projeto, implementação, verificação e teste de sistemas computacionais que envolvam componentes de hardware e de software.

Objetivos Específicos

- Promover a proatividade do(a) estudante em discussões e na busca de soluções inerentes a projetos que emulem situações que poderão ser encontradas após sua formação, através do uso da metodologia de aprendizagem PBL (*Problem-Based Learning* - Aprendizagem Baseada em Problemas/Projetos);
- Aperfeiçoar habilidades de modelagem de sistemas com componentes de hardware e de software;
- Aperfeiçoar habilidades de descrição de componentes de hardware em HDL (*Hardware Description Language*), visando a síntese de sistemas em circuito integrado;
- Desenvolver habilidades de construção de sistemas de verificação funcional.

## CONTEÚDO PROGRAMÁTICO

1. Máquinas de Estados Finitas (FSMs)
    a) Tipos: Mealy / Moore
    b) Diagrama de Estados
    c) Codificação de Estados: One-Hot, Código Gray, Binário Sequencial
    d) Circuitos de Reset: Definição de Estado Inicial
    e) Síntese de FSMs: decodificadores de próximo estado e de saída / registrador de estado
2. Projeto de componentes de hardware em Verilog
    a) Estilos de implementação: Comportamental / Estrutural / Dataflow
    b) Sinais: Classes / Tipos de Dados
    c) Formas de atribuição: Bloqueante / Não-Bloqueante
    d) Parâmetros
    e) Instanciação de componentes
    f) Atrasos e controle de eventos
    g) Boas práticas de codificação
    h) Implementação de Máquinas de Estados Finitas (FSMs) em Verilog
    i) Discussão sobre código sintetizável
    j) Construção de Testbenches
3. Controle de acesso a memórias
    a) Princípios de Operação de Memória
    b) RAM estática (SRAM) e Dinâmica (DRAM)
    c) Memória Flash
4. Interfaceamento com dispositivo FPGA
    a) Interfaces seriais
    b) Uso de arquivos de inicialização de memórias
5. Metodologias para criação de testbenches
    a) Testbench Linear
    b) Testbench Baseado em Arquivos de E/S
    c) Testbench Baseado em Máquina de Estados
    d) Testbench Baseado em Tasks e Functions
    e) Testbench com Auto-Checagem
6. Validação de código Verilog
    a) Cobertura de código
    b) Cobertura funcional
7. Ferramentas de Auxílio ao Projeto
    a) Descrição e uso de ferramentas
    b) Arquivos de configuração
    c) Scripts
    d) Prototipação em FPGA

## BIBLIOGRAFIA

BIBLIOGRAFIA BÁSICA


- INTEL. Introduction to the Platform Designer Tool, 2019.
- (https://ftp.intel.com/Public/Pub/fpgaup/pub/Teaching_Materials/current/Tutorials/Introduction_to_the_Qsys_Tool.pdf)
- INTEL. Making Platform Designer Components, 2018.
- (ftp://ftp.intel.com.br/Pub/fpgaup/pub/Intel_Material/18.0/Tutorials/making_qsys_components.pdf)
- INTEL. Avalon® Interface Specifications, 2022.
  (www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/manual/mnl_avalon_spec.pdf)


BIBLIOGRAFIA COMPLEMENTAR


- B. J. LAMERES, Quick Start Guide to Verilog, 2019.
- J. S. PARAB, R. S. GAD, G. M. NAIK, Hands-on Experience with Altera FPGA Development Boards, 2018.
- Y. LI, Computer Principles and Design in Verilog HDL, 2015.
- S. D. BROWN, Z. G. VRANESIC, Fundamentals of Digital Logic with Verilog Design, 3rd Edition, 2013.
- J. BERGERON, Writing Testbenches using SystemVerilog, 2006.
- AMARAL, Acácio Manuel Raposo. Sistemas digitais: princípios, análises e projectos. Lisboa, PO: Silabo Lda, 2014.
- Materiais didáticos e vídeos produzidos pelo professor


**Aprovado em reunião do Departamento de Engenharia Elétrica e de Computação em 30/05/2025.**

**Cristiane Corrêa Paim**
Chefe do Departamento de Engenharia
Elétrica e de Computação - DEEC/EPUFBA